

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-255858

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20  
G09G 3/34

(21)Application number : 2000-199685

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 30.06.2000

(72)Inventor : FURUYA MASATO  
ASAKURA TSUTAE

(30)Priority

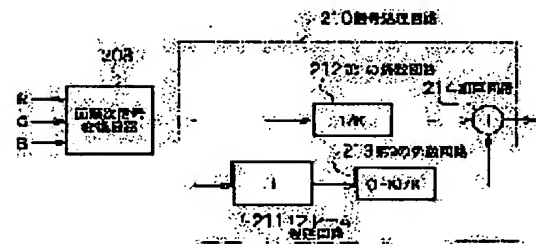
Priority number : 2000001099 Priority date : 06.01.2000 Priority country : JP

## (54) LIQUID CRYSTAL DISPLAY SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize satisfactory color reproduction in a liquid crystal display of field sequential image display system by eliminating the effect of crosstalk due to residual voltages of pixels and also to perform the fining of a display pixel by making the area of an auxiliary capacitance small.

**SOLUTION:** In this display system, a coefficient K1 is multiplied to the video signal of a current frame supplied from a field sequential signal converting circuit 208 in a first coefficient circuit 212 and also the video signal of the current frame supplied from the circuit 208 is delayed by one frame in a one frame delaying circuit 211 and a coefficient K2 is multiplied to the video signal of a previous frame which is delayed by one frame in a second coefficient circuit 213 and video signals outputted from these two coefficient circuits are added in an adding circuit 214 and this video signal is made to be used for the write-in to pixels.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-255858

(P2001-255858A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 D 5 C 0 8 0
	6 2 1		6 2 1 B
	6 3 1		6 3 1 H

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-199685 (P2000-199685)

(22) 出願日 平成12年6月30日 (2000.6.30)

(31) 優先権主張番号 特願2000-1099 (P2000-1099)

(32) 優先日 平成12年1月6日 (2000.1.6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 古屋 正人

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 浅倉 伝

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外9名)

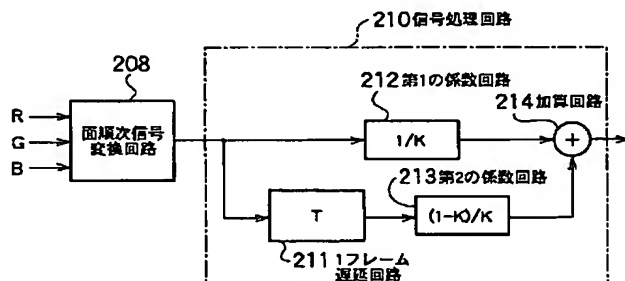
最終頁に続く

(54) 【発明の名称】 液晶表示システム

(57) 【要約】

【課題】 面順次方式による液晶表示装置において、画素残留電圧によるクロストークの影響をなくして良好な色再現性を実現するとともに、補助容量の面積を小さくして表示画素の微細化を可能とする。

【解決手段】 面順次信号変換回路208から供給される現フレームの映像信号に第1の係数回路212で係数K1を乗じるとともに、同じく面順次信号変換回路208から供給される現フレームの映像信号を1フレーム遅延回路211で1フレーム期間遅延させ、この1フレーム期間遅延した前フレームの映像信号に第2の係数回路213で係数K2を乗じ、これら2つの係数回路から出力された映像信号を加算回路214で加算し、この映像信号を画素への書き込みに用いるようにした。



## 【特許請求の範囲】

【請求項1】 少なくとも第1及び第2のスイッチングトランジスタ、補助容量及び画素電極を含む表示画素がマトリクス状に配置された第1の基板と、前記画素電極と対向配置された共通電極を含む第2の基板と、前記第1及び第2の基板間に封入される液晶部材とを備えた表示パネルに対し、

信号変換回路から供給されるRGBに対応した各映像信号をフレーム順に前記第1のスイッチングトランジスタを介して前記補助容量に書き込み、続いて前記第2のスイッチングトランジスタを介して前記書き込まれた映像信号を全表示画素に同時に送出するとともに、前記フレームに対応する読み出し光を順次切り替えて前記全表示画素に照射することによりカラー表示を行う液晶表示システムにおいて、

前記信号変換回路から供給される現フレームの映像信号を1フレーム期間遅延させる遅延回路と、

前記信号変換回路から供給される現フレームの映像信号に係数K1を乗じる第1の係数回路と、

前記遅延回路から出力される1フレーム期間遅延した前フレームの映像信号に係数K2を乗じる第2の係数回路と、

前記第1及び第2の係数回路から出力された現フレームの映像信号と前フレームの映像信号とを加算して出力する加算回路とを備え、

前記加算回路から出力された映像信号を前記書き込みに用いることを特徴とする液晶表示システム。

【請求項2】 少なくとも第1及び第2のスイッチングトランジスタ、補助容量及び画素電極を含む表示画素がマトリクス状に配置された第1の基板と、前記画素電極と対向配置された共通電極を含む第2の基板と、前記第1及び第2の基板間に封入された液晶部材とを備えた表示パネルに対し、

信号変換回路から供給されるRGBに対応した各映像信号をフレーム順に前記第1のスイッチングトランジスタを介して前記補助容量に書き込み、続いて前記第2のスイッチングトランジスタを介して前記書き込まれた映像信号を全表示画素に同時に送出するとともに、前記フレームに対応する読み出し光を順次切り替えて前記全表示画素に照射することによりカラー表示を行う液晶表示システムにおいて、

前記信号変換回路に入力するRGBの各映像信号に対し係数K1及び係数K2を乗じる3組の係数回路と、

前記3組の係数回路から出力された映像信号について、連続する前フレーム及び現フレームの関係となる2色の映像信号を加算して出力する3つの加算回路とを備え、前記3つの加算回路から出力されるRGBに対応した各映像信号を前記信号変換回路に供給することを特徴とする液晶表示システム。

【請求項3】 請求項1又は2記載の液晶表示システム

において、

前記第1の係数回路の係数K1、前記第2の係数回路の係数K2は、補助容量値をCs、画素電極の寄生容量値をCp、1画素あたりの液晶容量値をCLとしたときに、

$$K1 = 1/K$$

$$K2 = (1-K)/K$$

$$\text{ただし、} K = Cs / (Cs + Cp + CL)$$

で求められる値に略等しいことを特徴とする液晶表示システム。

【請求項4】 前記請求項1又は2に記載の液晶表示システムにおいて、

前記補助容量に書き込まれる映像信号は、前記共通電極に供給される電圧値を基準として、RGBごとに信号極性を反転させた交流信号であることを特徴とする液晶表示システム。

【請求項5】 前記請求項1又は2に記載の液晶表示システムにおいて、

前記補助容量に書き込まれる映像信号は、RGB各色の映像信号をフレーム又はフィールド単位で2回繰り返して繰返し、かつ繰り返した同じ映像信号の信号極性を、前記共通電極に供給される電圧値を基準として、RGBごとに反転させた交流信号であることを特徴とする液晶表示システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えばヘッドマウントディスプレイ、ビューファインダーあるいは投射型ディスプレイ等に用いられる液晶表示システムに関し、詳しくは面順次方式により、カラー画像を表示する液晶表示システムに関する。

## 【0002】

【従来の技術】 まず、本発明の前提となる面順次方式によるカラー液晶表示装置の基本構成を、本出願人が先に提案した液晶表示装置（特願平11-247621号）を例にして説明する。

【0003】 図9は、面順次方式による液晶表示装置の構成を示すブロック図である。この液晶表示装置100は、複数の表示画素PXと、これら表示画素PXを駆動する水平走査回路101及び垂直走査回路102を備えている。

【0004】 この液晶表示装置100では、図示しない単結晶のシリコン基板上に複数の列信号線D1、D2・・・（以下、適宜にDと総称する）が並行して配置されており、またこれと直交する方向に複数の行信号線G1、G2・・・（以下、適宜にGと総称する）が配置されている。各列信号線Dと各行信号線Gとの交差部にはそれぞれ表示画素PXが形成されている。

【0005】 水平走査回路101は、図示しない水平シフトレジスタやサンプリングスイッチにより構成されて

おり、水平スタート信号Hst及び水平クロック信号Hckに基づいて、列信号線D1、D2・・・に所定のタイミングで映像信号を出力する。

【0006】垂直走査回路102は、垂直シフトレジスタを含む回路で構成されており、垂直スタート信号Vst及び垂直クロック信号Vckに基づいて、行信号線G1、G2・・・に1水平走査期間ごとに走査信号を出力する。

【0007】表示画素PXは、第1のスイッチングトランジスタTr1（以下、Tr1と略称する）、第2のスイッチングトランジスタTr2（以下、Tr2と略称する）、補助容量Cs、画素電極103、共通電極104及びこれら電極間に保持される液晶部材105から構成されている。このうち、Tr1のドレインは列信号線D1、D2・・・に接続され、また、ゲートは行信号線G1、G2・・・に接続されている。さらにTr2のゲートは一括転送パルス供給線109に接続されている。なお、前記共通電極104は、前記図示しないシリコン基板と対向配置された図示しない対向基板上に形成されている。

【0008】また、映像信号、水平スタート信号Hst、水平クロック信号Hck、垂直スタート信号Vst、垂直クロック信号Vck及び一括転送パルスは、後述する表示パルス駆動回路（205）から供給されている。

【0009】上記のように構成された液晶表示装置100において、水平走査回路101は、図示しない表示パネル駆動回路から供給される水平スタート信号Hst及び水平クロック信号Hckにより駆動され、1水平走査期間に出力すべき1ライン（1行）分の映像信号を列信号線D1、D2・・・に同時にサンプリングする。一方、垂直走査回路102は、同じく図示しない表示パネル駆動回路から供給される垂直スタート信号Vst及び垂直クロック信号Vckにより駆動され、行信号線G1、G2・・・に1水平走査期間ごとに走査信号を出力する。これにより、行信号線G1、G2・・・に接続されたTr1は1ラインづつオン状態となり、列信号線D1、D2・・・にサンプリングされた1ライン分の映像信号は補助容量Csに電荷情報として蓄積される。この動作を1フレーム分繰り返した後、図示しない表示パネル駆動回路からTr2に一括転送パルスが供給されると、全てのTr2がオン状態となり、全表示画素PXの画素電極103に1フレーム分の映像信号が一括して転送される（一括転送方式）。この結果、各表示画素PXに対応した液晶部材105には、画素電極103を介して映像信号が印加され、液晶の光変調度が映像信号の電圧値に従って変化し、映像信号のもつ情報量に応じた階調の画像が表示される。

【0010】図10は、このような液晶表示装置100の動作タイミングを示すタイミングチャートである。一

括転送方式では、1フレーム分の映像信号について先頭のラインから最終ラインまでの走査を期間t1で行い、これが完了した時点で一括転送パルスを与えている。ただし、液晶応答は先頭ラインの走査開始から期間t2だけ遅れるため、光源からの読み出し光はこのタイミングに合うように照射されている。なお、現フレームで表示される画像は前フレームで書き込まれた映像信号の画像である。図10の例で説明すると、期間tFでは1フレーム前にサンプリングされたG（緑）の画像が現フレームとして表示されており、この間に次の1フレーム分のB（青）の画像がサンプリングされる。

【0011】上記一括転送方式には、次のような3つの利点がある。1つめは、高輝度・高光利用率が達成できることである。すなわち、通常のアクティブマトリクス方式の液晶表示装置は線順次走査であり、先頭ラインから最終ラインまでの走査が完了し、最終ラインの表示画素の液晶が完全に対応した状態で各色の読み出し光を照射しないと均一な色再現が得られない。このため、1フレーム走査期間中は読み出し光が照射できず、光利用率が低下するという問題がある。これに対し一括転送方式では、全ての表示画素が同時に切り替わるため、読み出し光の照射期間を従来のアクティブマトリクス方式に比べて長くとることが可能となり、高輝度・高光利用率が達成できる。2つめは、走査レートを低減できることである。すなわち一括転送方式では、1フレーム分の映像信号を表示している間に次の1フレーム分の映像信号を蓄積するようにしているため、1フレーム走査期間全体を映像信号の書き込み期間として利用することが可能となり、通常のアクティブマトリクス方式に比べて走査レートを低減することができる。3つめは、低耐圧化が実現できることである。例えば図11の信号波形図に示すように、一括転送方式では、全ての表示画素が同時に切り替わるため、映像信号の信号電圧として液晶の輝度変調成分のみを極性反転して供給するとともに、これと同期して共通電極にしきい値電圧に対応する交流バイアス分を前記信号電圧とは逆極性の矩形パルスで供給することができる。したがって、基板部の低耐圧化を図ることができる。

【0012】図12は、上記液晶表示装置100を備えたカラー液晶表示システム200の全体構成を示すブロック図である。このカラー液晶表示システム200の光学系は、液晶表示装置100、PBS（偏光ビームスプリッタ）201、LED202、拡散板203及びレンズ204により構成されている。また駆動回路系は、表示パネル駆動回路205、タイミング生成回路206、LED駆動回路207及び面順次信号変換回路208により構成されている。

【0013】面順次信号変換回路208はフレームバッファ回路であり、図示しない外部回路からパラレルデータとしてRGB同時に入力された映像信号を、RGBの

時系列データに変換する。タイミング生成回路206からは、面順次信号変換回路208でパラレルデータを時系列データに変換するのに必要な制御信号が供給されている。

【0014】さらに、面順次信号変換回路208で変換された映像信号は、表示パネル駆動回路205で必要な信号処理が施された後、各種のスタート信号やクロック信号とともに液晶表示装置100に供給される。

【0015】液晶表示装置100では、先に説明した動作により映像信号の走査が行われ、画像が面順次で表示される。一方、LED駆動回路207は、この動作と同期したタイミングでLED202での発光色(RGB)を順次切り替えている。映像信号の走査やLEDでの発光のタイミングは、タイミング発生回路206から各駆動回路へ供給されるタイミング信号に基づいて制御されている。

【0016】光源となるLED202から前記タイミングで放出された光は、拡散板203で均一に拡散された後、PBS201で液晶表示装置100側へ導かれる。この光は液晶表示装置100の下部基板面で反射し、読

$$V_p(n) = K \cdot V_s + (1-K) \cdot V_p(n-1) \cdots (1)$$

ただし、 $K = C_s / (C_s + C_p + C_L)$

この実効電圧 $V_p(n)$ と信号電圧 $V_s$ との関係を図14に示す。図14から明らかなように、実効電圧 $V_p$

(n)は画素残留電圧 $V_p(n-1)$ の影響を受けるため、元の信号電圧 $V_s$ に対して誤差電圧 $\Delta V_p$ を生じることになる。この誤差電圧 $\Delta V_p$ は、補助容量 $C_s$ が画素部寄生容量 $C_p$ 及び液晶容量 $C_L$ に対して極めて大きい条件では無視できるが、実際にはレイアウト面積の関係から補助容量を形成する面積等に限界があり、補助容量 $C_s$ を上記のような条件とすることは困難であった。こうした面順次方式によるカラー表示において、前フレームの画素残留電圧 $V_p(n-1)$ は、現フレームの信号電圧 $V_s$ とは異なる色の信号であるため、現フレームの色に前フレームの色が干渉する、いわゆるクロストークが発生し、色再現性が著しく劣化するという問題点があった。

【0020】また、このようなクロストークの影響を最小限に抑えるために、従来は補助容量 $C_s$ を可能な限り大きく形成していることから、表示画素の微細化が難しく、高解像度のシステムに発展させることは不可能であった。

【0021】本発明は、画素残留電圧によるクロストークの影響をなくして良好な色再現性を実現するとともに、補助容量の面積を小さくして表示画素の微細化を可能とする液晶表示システムを提供することを目的とする。

【0022】

【課題を解決するための手段】請求項1に係わる液晶表示システムは、少なくとも第1及び第2のスイッチング

み出し光として表示画素を通過する。そして、LED202の発光色で色づけされたカラー画像がPBS201、レンズ204を通じて取り出される。

【0017】

【発明が解決しようとする課題】図13は、表示画素PX(図9)の詳細な等価回路図である。図中、 $C_p$ はトランジスタ構造や配線に起因する画素部寄生容量、 $C_L$ は1画素あたりの液晶容量である。また $V_s$ は映像信号の信号電圧、 $V_p(n-1)$ は画素電極103側に蓄積されている前フレームの画素残留電圧を示している。他の部分は図9と同じ符号を付している。

【0018】図13において、信号電圧 $V_s$ を画素電極103側に転送したときに、信号電圧 $V_s$ の電位のままで転送されることはない。なぜならば、信号電圧 $V_s$ と画素残留電圧 $V_p(n-1)$ との間で電荷の再配分が生じ、信号電圧 $V_s$ の電位は画素残留電圧 $V_p(n-1)$ の分だけ低下するからである。転送により実際に画素電極103へ供給される電圧(以下、実効電圧と称す) $V_p(n)$ は下記の式(1)で求められる。

【0019】

トランジスタ、補助容量及び画素電極を含む表示画素がマトリクス状に配置された第1の基板と、前記画素電極と対向配置された共通電極を含む第2の基板と、前記第1及び第2の基板間に封入される液晶部材とを備えた表示パネルに対し、信号変換回路から供給されるRGBに対応した各映像信号をフレーム順に前記第1のスイッチングトランジスタを介して前記補助容量に書き込み、続いて前記第2のスイッチングトランジスタを介して前記書き込まれた映像信号を全表示画素に同時に送出するとともに、前記フレームに対応する読み出し光を順次切り替えて前記全表示画素に照射することによりカラー表示を行う液晶表示システムにおいて、前記信号変換回路から供給される現フレームの映像信号を1フレーム期間遅延させる遅延回路と、前記信号変換回路から供給される現フレームの映像信号に係数 $K_1$ を乗じる第1の係数回路と、前記遅延回路から出力される1フレーム期間遅延した前フレームの映像信号に係数 $K_2$ を乗じる第2の係数回路と、前記第1及び第2の係数回路から出力された現フレームの映像信号と前フレームの映像信号とを加算して出力する加算回路とを備え、前記加算回路から出力された映像信号を前記書き込みに用いることを特徴とする。

【0023】また、請求項2に係わる液晶表示システムは、少なくとも第1及び第2のスイッチングトランジスタ、補助容量及び画素電極を含む表示画素がマトリクス状に配置された第1の基板と、前記画素電極と対向配置された共通電極を含む第2の基板と、前記第1及び第2の基板間に封入された液晶部材とを備えた表示パネルに対し、信号変換回路から供給されるRGBに対応した各

映像信号をフレーム順に前記第1のスイッチングトランジスタを介して前記補助容量に書き込み、続いて前記第2のスイッチングトランジスタを介して前記書き込まれた映像信号を全表示画素に同時に送出するとともに、前記フレームに対応する読み出し光を順次切り替えて前記全表示画素に照射することによりカラー表示を行う液晶表示システムにおいて、前記信号変換回路に入力するRGBの各映像信号に対し係数K1及び係数K2を乗じる3組の係数回路と、前記3組の係数回路から出力された映像信号について、連続する前フレーム及び現フレームの関係となる2色の映像信号を加算して出力する3つの加算回路とを備え、前記3つの加算回路から出力されるRGBに対応した各映像信号を前記信号変換回路に供給することを特徴とする。

【0024】さらに、請求項3に係わる液晶表示システムは、請求項1及び2において、前記第1の係数回路の係数K1、前記第2の係数回路の係数K2は、補助容量値をCs、画素電極の寄生容量値をCp、1画素あたりの液晶容量値をCLとしたときに、

$$K1 = 1/K$$

$$K2 = (1-K)/K$$

ただし、 $K = Cs / (Cs + Cp + CL)$

で求められる値に略等しいことを特徴とする。

【0025】請求項4に係わる液晶表示システムは、請求項1又は2において、前記補助容量に書き込まれる映像信号が、前記共通電極に供給される電圧値を基準として、RGBごとに信号極性を反転させた交流信号であることを特徴とする。

【0026】請求項5に係わる液晶表示システムは、請求項1又は2において、前記補助容量に書き込まれる映像信号が、RGB各色の映像信号をフレーム又はフィールド単位で2回繰り返して繰返し、かつ繰繰り返した同じ映像信号の信号極性を、前記共通電極に供給される電圧値を基準として、RGBごとに反転させた交流信号であることを特徴とする。

【0027】請求項1乃至5の発明によれば、信号処理回路により所定の信号処理が施された映像信号には、前フレームの映像信号成分が $(1-K)/K$ だけ加算されているため、この映像信号を現フレームの映像信号として画素表示した場合には、前記加算された前フレームの映像信号成分により、画素電極側に蓄積されている前フレームの画素残留電圧 $Vp(n-1)$ がキャンセルされる。

【0028】とくに請求項4の発明によれば、映像信号の書き込みにより液晶層に直流成分が発生することがないので、液晶部材の劣化を防止することができる。

【0029】また、とくに請求項5の発明によれば、正負の信号電圧がほぼ対象となる理想的に交流化された映像信号が液晶層に印加されるので、液晶層における直流

成分の発生がさらに抑えられることになり、液晶部材の劣化をより効果的に防止することができる。

【0030】

【発明の実施の形態】以下、本発明に係わる液晶表示システムを、面順次方式によるカラー液晶表示装置を備えたカラー液晶表示システムに適用した場合の実施形態について図面を参照しながら説明する。

【0031】なお、以下に説明する第1及び第2の実施形態のカラー液晶表示システム300及び400では、その基本構成として図12に示すような従来のカラー液晶表示システム200を適用することができる。ただし、液晶表示装置100などの光学系、表示パネル駆動回路205などの駆動回路系の構成は同じである。ここではそれらの説明を省略し、本発明の特徴的な構成である信号処理回路や交流化回路などを中心に説明する。

【0032】第1の実施形態

図2は、第1の実施形態に係わるカラー液晶表示システム300の全体構成を示すブロック図である。この第1の実施形態では、表示パネル駆動回路205と面順次信号変換回路208の間に、映像信号の補正処理を行う信号処理回路210が配置されている。なお図示していないが、信号処理回路210と表示パネル駆動回路205との間には、後述する交流化回路やD/A変換回路などが配置されている。

【0033】図1は、信号処理回路210の構成を示すブロック図である。この信号処理回路210は、1フレーム遅延回路211、第1の係数回路212、第2の係数回路213及び加算回路214により構成されている。この信号処理回路210には、面順次信号変換回路208からRGBに対応した各映像信号が入力されている。

【0034】1フレーム遅延回路211は、バッファメモリで構成された回路であり、入力された現フレームの映像信号に1フレーム期間(T)の遅延を与えて出力する。この1フレーム期間の遅延が与えられた映像信号は、後述する第2の係数回路213に前フレームの映像信号として供給される。

【0035】第1の係数回路212及び第2の係数回路213は、現フレームの映像信号及び1フレーム遅延回路211で遅延された前フレームの映像信号に対し、それぞれ異なる係数を乗じて出力する回路である。各係数回路の係数は、以下の式(2)、(3)で求められた値又はこれとほぼ等しい値に設定されている。ここで、K1は第1の係数回路212の係数を、K2は第2の係数回路213の係数を示している。また、Csは補助容量値を、Cpは画素電極の寄生容量値を、CLは1画素あたりの液晶容量値をそれぞれ示している。

【0036】

$$K1 = 1/K$$

・・・(2)

$$K2 = (1-K) / K$$

ただし、 $K = C_s / (C_s + C_p + C_L)$

第1の係数回路212、第2の係数回路213を、例えば抵抗回路で構成した場合は、各回路ごとの係数を抵抗分割により設定することができる。

【0037】加算回路214は、第1の係数回路212及び第2の係数回路213から出力された現フレームの

$$G_c = \{ (1/K) \cdot G_s(n) \} + \{ (1-k)/K \} \cdot R_s(n-1)$$

このようにして得られた補正後映像信号 $G_c$ には、前フレームの映像信号成分が $(1-K)/K$ だけ加算されているため、補正後映像信号 $G_c$ を現フレームの映像信号として画素表示すると、前記加算された前フレームの映像信号成分により、画素電極側に蓄積されている前フレームの画素残留電圧 $V_p(n-1)$ がキャンセルされる。ここで、式(4)に示す補正後映像信号 $G_c$ を画素

$$\begin{aligned} V_p(n) &= K \cdot G_c + (1-K) \cdot V_p(n-1) \\ &= K \cdot [ \{ (1/K) \cdot G_s(n) \} + \{ (1-K)/K \} \cdot R_s(n-1) ] + \{ (1-K) \cdot V_p(n-1) \} \\ &\approx G_s(n) \end{aligned}$$

すなわち、現フレームに加算された前フレームの映像信号成分 $(1-K)/K$ により、画素電極側に蓄積されている前フレームの画素残留電圧 $V_p(n-1)$ がキャンセルされるため、実効電圧 $V_p(n)$ はほぼ現フレームの映像信号 $G_s(n)$ と等しくなる。

【0040】図3は、画素電極に供給される実効電圧の電位変化を示す信号波形図である。図3(a)はRGBの各映像信号を正負極性を組にして連続して供給する場合の例であり、図3(b)はRGBの各映像信号を1フレームごとに正負極性を反転させて供給する場合の例である。いずれの場合も、補正後画素電圧 $G_c$ により、前フレームの画素残留電圧 $V_p(n-1)$ がキャンセルされ、実効電圧 $V_p(n)$ がほぼ現フレームの映像信号 $G_s(n)$ と等しくなることが確認されている。なお、一点鎖線は補正なしの映像信号 $G_s(n)$ を印加した場合の実効電圧 $V_p(n)$ を示している。

【0041】このように、映像信号の極性を反転させて画素電極に供給することは、液晶材の劣化を防ぐ意味で重要となる。すなわち、液晶層に直流成分が生じると、液晶中にイオンが発生して液晶材の劣化を引き起こすことになるが、映像信号を交流信号として印加することにより、液晶材の劣化を防止することができる。

【0042】ここで、信号処理回路210から出力された補正後の映像信号を交流化する交流化回路の構成とその動作について説明する。

【0043】図4は、交流化回路の構成を示すブロック図である。交流化回路230は、信号処理回路210と図示していない表示パネル駆動回路205との間に接続されており、信号処理回路210からは映像信号としてRGBの時系列データが供給されている。交流化回路2

... (3)

映像信号と前フレームの映像信号とを加算し、補正後映像信号として出力する。例えば、現フレームの映像信号 $G_s(n)$ のときの補正後映像信号 $G_c$ は、遅延した前フレームの映像信号を $R_s(n-1)$ とすると、式(4)で求められる。

【0038】

... (4)

電極に転送する信号電圧 $V_s$ とし、前フレームでの画素残留電圧 $V_p(n-1)$ と式(4)の $R_s(n-1)$ が等しいと仮定して、信号電圧 $V_s$ を式(1)に代入すると、画素電極に供給される実効電圧 $V_p(n)$ は以下のようなになる。

【0039】

30は、非反転アンプ231、反転アンプ232及びスイッチ回路233により構成されている。

【0044】非反転アンプ231及び反転アンプ232は、それぞれ入力された映像信号を所定の利得で増幅して出力する回路である。このうち非反転アンプ231は、増幅した映像信号の極性を反転して出力している。

【0045】スイッチ回路233は、非反転アンプ231及び反転アンプ232から入力された2つの映像信号のうち、いずれか一方の映像信号を選択して出力する。入力する映像信号の選択は、タイミング発生回路206から供給される選択信号に応じて切り替えられる。

【0046】図5は、交流化回路230の動作タイミングを示す信号波形図である。以下、図5を参照しながら、交流化回路230において映像信号を交流化する際の動作について説明する。

【0047】まず、映像信号として図示しない外部回路から図5(a)に示すようなRGBのパラレルデータが面順次信号変換回路208に供給される。面順次信号変換回路208では、これを図5(b)に示すようなRGBの時系列データに変換し、信号処理回路210に出力する。なお時系列データに変換された映像信号は、RGBの繰り返し周期 $T_s$ に対応したデータとして出力される。

【0048】信号処理回路210では、先に説明した信号成分の補正が施され、補正後の映像信号が交流化回路230へ出力される。交流化回路230において、非反転アンプ231を通過した映像信号は所定の利得で増幅され、図5(c)に示すような正極性の映像信号として出力される。一方、反転アンプ232を通過した映像信号は、所定の利得で増幅されるとともに、極性反転がな



され、図5 (d) に示すような負極性の映像信号として出力される。これら2つのアンプで増幅された映像信号は、ともにスイッチ回路233に出力される。スイッチ回路233には、タイミング発生回路208から図5

(e) に示すような選択信号が供給されている。この選択信号は、Hレベル（正極性選択）、Lレベル（負極性選択）の2つの信号値が、RGBの各データ周期に対応する周期で繰り返されている。

【0049】スイッチ回路233では、前記選択信号により非反転アンプ231又は反転アンプ232のいずれか一方の出力が選択される。この結果、RGBの時系列データとして入力された映像信号は、図5 (f) に示すような交流化された映像信号に変換される。図5 (f) において、RGBの各映像信号はデータ周期で極性反転されたデータ列として出力されている。

【0050】図5 (f) には示していないが、交流化された映像信号の中心値は、共通電極の電位（基準電圧： $V_f$ ）と同じ電圧にバイアスされている。この実施形態の駆動方法では、信号電圧としきい値電圧を振幅とする映像信号を基準電位の両側に振ることにより、液晶に供給される信号電圧の極性を反転させている。また、先に説明したように、映像信号として信号電圧のみを極性反転して供給するとともに、共通電極に対し、しきい値電圧に対応する交流バイアス分を前記信号電圧と逆の極性に振る駆動方法であってもよい。

【0051】また図5においては、RGBの繰り返し周期 $T_s$ を、フレーム周期 $T_f$ と同じとした例について示しているが、RGBの繰り返し周期 $T_s$ を徐々に短くしていくと、輝度フリッカーや色割れ現象が少なくなり、良好なカラー画像を得ることができる。例えば、 $T_s = 11.1\text{ms}$ （90Hz）以上とすると、輝度フリッカーや色割れ現象は、ほとんど認識できなくなる。さらに、図5に示すフレーム周期 $T_f$ は、フィールド周期であってもよい。

【0052】図4に示すような交流化回路230により、画素電極に供給する映像信号を交流信号に変換して画素電極に供給した場合は、液晶層に直流成分を生じることがなく、このため液晶中のイオン発生による液晶材の劣化を防止することができる。また、RGBの繰り返し周期 $T_s$ を短くすることにより、輝度フリッカーや色割れ現象が少ない、高品位なカラー画像を得ることができる。

【0053】次に、映像信号を交流化する場合の他の実施形態について説明する。ただし、交流化回路230の基本構成は先の実施形態と同じであるため、相違点についてのみ説明する。

【0054】図6は、他の実施形態における交流化回路230の動作タイミングを示す信号波形図である。以下、図6を参照しながら、映像信号を交流化する場合の実施形態について説明する。

【0055】まず、映像信号として図示しない外部回路から図6 (a) に示すようなRGBのパラレルデータが面順次信号変換回路208に供給される。面順次信号変換回路208では、これを図6 (b) に示すようなRGBの時系列データに変換し、信号処理回路210に出力する。このとき、RGB各色の映像信号をフレーム単位で2回繰り返す、時系列のRRGGBB映像信号に変換する。

【0056】信号処理回路210では、先に説明した信号成分の補正が施され、補正後の映像信号が交流化回路230へ出力される。交流化回路230において、非反転アンプ231を通過した映像信号は所定の利得で増幅され、図6 (c) に示すような正極性の映像信号として出力される。一方、反転アンプ232を通過した映像信号は、所定の利得で増幅されるとともに、極性反転がなされ、図6 (d) に示すような負極性の映像信号として出力される。これら2つのアンプで増幅された映像信号は、ともにスイッチ回路233に出力される。スイッチ回路233には、タイミング発生回路206から図6

(e) に示すような選択信号が供給されている。この選択信号は、Hレベル（正極性選択）、Lレベル（負極性選択）の2つの信号値が、RRGGBB映像信号の各データ周期に対応する周期で繰り返されている。

【0057】スイッチ回路233では、前記選択信号により非反転アンプ231又は反転アンプ232のいずれか一方の出力が選択される。この結果、RGBの時系列データとして入力された映像信号は、図6 (f) に示すような交流化された映像信号に変換される。図6 (f) において、RRGGBBの各映像信号は同一色ごとにデータ周期で極性反転されたデータ列として出力されている。なお、この実施形態においても、交流化された映像信号の中心値は、共通電極の電位（基準電圧： $V_f$ ）と同じ電圧にバイアスされている。

【0058】この実施形態における映像信号は、同一色の信号が正負一組の連続した信号波形であるため、液晶層には信号電圧の振幅が正負でほぼ対象となる理想的に交流化された映像信号が印加されることになる。したがって、液晶層に信号電圧の振幅が正負非対称の映像信号を供給したときのように直流成分が生じることがなく、液晶中のイオン発生による液晶材の劣化をより効果的に防止することができる。

【0059】また、輝度フリッカーの発生もより少なくすることができる。図6 (g) は、図6 (f) に示す交流信号が印加されたときの液晶応答を示したもので、とくにR画像における輝度変化の様子を示したものである。

【0060】一般に、液晶は印加される信号電圧の極性により、図6 (g) に示すように若干の応答差を生じるため、低い周波数で交流化した場合は輝度の違いが輝度フリッカーとして認識され、表示品位が低下してしま

う。しかしながら、この実施形態では同一色の映像信号が正負で連続しているため、人間の目には図6 (g) の破線で示すような正負両極の平均値の明るさに認識されることになる。これによると、人間の目には同じ明るさの色が繰り返し認識されることになるため、RGBの繰り返し周期 $T_s$ が多少長くなっても、輝度フリッカーはほとんど認識されなくなる。

【0061】この実施形態においても、RGBの繰り返し周期 $T_s$ をフレーム周期 $T_f$ と同じとしているが、RGBの繰り返し周期 $T_s$ を徐々に短くしていくと、輝度フリッカーや色割れ現象が少なくなり、良好なカラー画像を得ることができる。例えば、 $T_s = 11.1 \text{ ms}$  (90 Hz) 以上とすると、輝度フリッカーや色割れ現象は、ほとんど認識できなくなる。

【0062】また、 $T_s$ を長くした場合、例えば $T_s = 16.7 \text{ ms}$  (60 Hz) にした場合、輝度フリッカーはほとんど認識されなくなる。このように $T_s$ を長くできるということは、表示パネル駆動回路205などの処理速度を遅くすることができるので、低速の回路素子を使用することができることになり、また電力消費も抑えることができる。さらに、図6に示すフレーム周期 $T_f$ は、フィールド周期であってもよい。

【0063】図6に示す実施形態においても、画素電極に供給する映像信号を交流信号に変換して画素電極に供給することにより、液晶層に直流成分を生じることがなく、このため液晶中のイオン発生による液晶材の劣化を防止することができる。

【0064】さらに、RGBの繰り返し周期 $T_s$ を短くした場合は輝度フリッカーや色割れ現象がほとんど認識できなくなり、また $T_s$ を多少長くした場合でも輝度フリッカーがほとんど認識されることがないので、より高品位なカラー画像を得ることができる。

【0065】第1の実施形態では、面順次信号変換回路208でRGBの時系列データに変換された映像信号そのものを遅延させて、現フレームの映像信号に前フレームの映像信号成分を $(1-K)/K$ だけ加算するようにしたため、図3 (a)、(b)に示すように信号の極性反転及び色フレーム切り替え方式が異なっても、画素残留電圧 $V_p (n-1)$ によるクロストークの影響をなくして良好な色再現性を得ることができる。

【0066】なお、第1の実施形態では、信号処理回路210を表示パネル駆動回路205と面順次信号変換回路208の間に配置した例について説明したが、信号処理回路210は、表示パネル駆動回路205又は面順次信号変換回路208のいずれかに内蔵してもよい。

【0067】第2の実施形態

図7は、第2の実施形態に係わるカラー液晶表示システム400の全体構成を示すブロック図である。この第2の実施形態では、面順次信号変換回路208の前段に映像信号を補正処理する信号処理回路220が配置されて

いる。

【0068】なお、この第2の実施形態においては、図示していないが面順次信号変換回路208と表示パネル駆動回路205との間に、図4、図5 (及び図6) で説明した交流化回路やD/A変換回路などが配置されている。

【0069】図8は、信号処理回路220の構成を示すブロック図である。この信号処理回路220は、第1の実施形態のような1フレーム遅延回路211を使用せず、3組の係数回路と、3つの加算回路により構成されている。

【0070】前記3組の係数回路は、R用の第1の係数回路221、同第2の係数回路222、G用の第1の係数回路223、同第2の係数回路224、B用の第1の係数回路225、同第2の係数回路226から構成されている。これら3組の係数回路は、RGBの各映像信号に対しそれぞれ異なる係数を乗じて出力する回路である。前記第1の係数回路及び第2の係数回路で乗じられる係数は、第1の実施形態で示した式(1)、(2)で求められた値又はこれとほぼ等しい値に設定されている。なお、この実施形態における信号の極性反転及び色フレーム切り替え方式は、図3 (b) のようにRGBの各映像信号を1フレームごとに正負極性を反転させて供給するものを前提とする。

【0071】第1の加算回路227、第2の加算回路228及び第3の加算回路229は、第1の係数回路221～第2の係数回路226から出力される各色の映像信号のうち、連続する前フレーム及び現フレームの関係となる2色の映像信号を加算して、補正後映像信号 $R_c$ 、 $G_c$ 、 $B_c$ として出力する。すなわち、RGBの順に色フレームが切り替えられるとすると、第1の加算回路227では、第1の係数回路221から出力されたRの映像信号と第2の係数回路229から出力されたBの映像信号を加算して、補正後映像信号 $R_c$ を出力する。また、第2の加算回路228では、第1の係数回路223から出力されたGの映像信号と第2の係数回路222から出力されたRの映像信号を加算して、補正後映像信号 $G_c$ を出力する。さらに、第3の加算回路229では、第1の係数回路225から出力されたBの映像信号と第2の係数回路224から出力されたGの映像信号を加算して、補正後映像信号 $B_c$ を出力する。ここで、RGBの原映像信号と補正後映像信号 $R_c$ 、 $G_c$ 、 $B_c$ との関係は以下になる。

【0072】

$$R_c = (1-K) \cdot R + \{(1-K)/K\} \cdot B$$

$$G_c = (1-K) \cdot G + \{(1-K)/K\} \cdot R$$

$$B_c = (1-K) \cdot B + \{(1-K)/K\} \cdot G$$

$$\text{ただし、} K = C_s / (C_s + C_p + C_L)$$

このようにして得られた補正後映像信号 $R_c$ 、 $G_c$ 、 $B_c$ には、前フレームの映像信号成分が $(1-K)/K$

だけ加算されているため、この補正後映像信号 $R_c$ 、 $G_c$ 、 $B_c$ を面順次信号変換回路208でRGBの時系列データに変換して、表示パネル駆動回路205から液晶表示装置100へ供給すると、前記加算された前フレームの映像信号成分により、画素電極側に蓄積されている前フレームの画素残留電圧 $V_p(n-1)$ がキャンセルされる。すなわち、第1の実施形態と同様に、現フレームに加算された前フレームの映像信号成分 $(1-K)/K$ により、画素電極側に蓄積されている前フレームの画素残留電圧 $V_p(n-1)$ がキャンセルされるため、実効電圧 $V_p(n)$ はほぼ現フレームの映像信号 $G_s(n)$ と等しくなる。

【0073】この第2の実施形態においても、図3(b)に示すように実効電圧 $V_p(n)$ がほぼ現フレームの映像信号 $G_s(n)$ と等しくなることが確認されており、画素残留電圧 $V_p(n-1)$ によるクロストークの影響をなくして良好な色再現性を得ることができる。

【0074】とくに、第2の実施形態では、第1の実施形態の1フレーム遅延回路211が不要となるため、フレームバッファ等を用いない簡易な回路構成で同等の効果を得ることができる。

【0075】また、第2の実施形態においても、図5又は図6に示したように映像信号を交流信号に変換して画素電極に供給することにより、液晶層に直流成分を生じることがなく、液晶中のイオン発生による液晶材の劣化を防止することができる。

【0076】なお、第2の実施形態では、信号処理回路220を面順次信号変換回路208の前段に配置した例について説明したが、信号処理回路220は、面順次信号変換回路208に内蔵してもよい。

【0077】

【発明の効果】請求項1乃至5の発明においては、現フレームの映像信号に前フレームの映像信号成分を加算した補正後映像信号を表示パネルに供給するようにしたので、前記加算された前フレームの映像信号成分により画素電極側に蓄積されている前フレームの画素残留電圧がキャンセルされる。このため、前記画素残留電圧によるクロストークの影響をなくして良好な色再現性を実現することができる。

【0078】また、クロストークの影響を少なくするために補助容量を大きくする必要がないので、従来に比べて補助容量の面積を小さくすることができる。これによれば、表示画素の微細化が容易となるので、より高解像度のシステムへ発展させることが可能となる。

【0079】とくに、請求項2の発明においては、面順次信号変換回路の前段において、RGB同時に入力される映像信号に対して上述した信号処理を行うようにした場合、フレームバッファ等を用いない簡易な回路構成とすることができる。

【0080】また、とくに請求項4の発明においては、

前記補正後映像信号を、RGBごとに信号極性を反転させた交流信号としたので、液晶中にイオンが発生することがなく、液晶材の劣化を防止することができる。

【0081】また、とくに請求項5の発明においては、RGB各色の映像信号を2回続けて繰り返し、この繰り返しと同じ映像信号の極性をRGBごとに反転させた交流信号としたので、液晶層には信号電圧の振幅が正負でほぼ対象となる理想的に交流化された映像信号を液晶層に印加することができる。これによれば、液晶層における直流成分の発生がさらに抑えられるため、液晶中のイオン発生による液晶材の劣化をより効果的に防止することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる信号処理回路の構成を示すブロック図。

【図2】第1の実施形態に係わるカラー液晶表示システムの全体構成を示すブロック図。

【図3】(a)、(b)は画素電極に供給される実効電圧の電位変化を示す信号波形図。

【図4】交流化回路の構成を示すブロック図。

【図5】交流化回路の動作タイミングを示す信号波形図。

【図6】他の実施形態における交流化回路の動作タイミングを示す信号波形図。

【図7】第2の実施形態に係わるカラー液晶表示システムの全体構成を示すブロック図。

【図8】第2の実施形態に係わる信号処理回路の構成を示すブロック図。

【図9】面順次方式による液晶表示装置の構成を示すブロック図。

【図10】図9に示す液晶表示装置の動作タイミングを示すタイミングチャート。

【図11】一括転送方式における映像信号の信号波形図。

【図12】面順次方式による液晶表示装置を備えたカラー液晶表示システムの全体構成を示すブロック図。

【図13】図9に示す表示画素PXの詳細な等価回路図。

【図14】実効電圧 $V_p(n)$ と信号電圧 $V_s$ との関係を示す信号波形図。

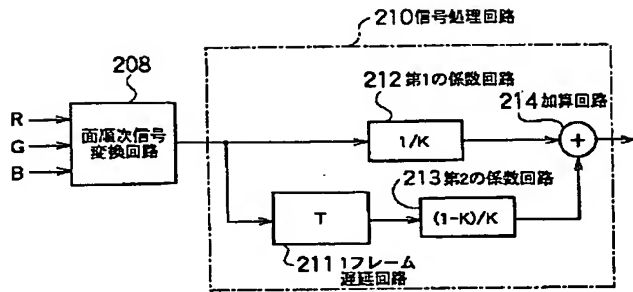
【符号の説明】

100…液晶表示装置、101…水平走査回路、102…垂直走査回路、103…画素電極、104…共通電極、105…液晶部材、200、300、400…液晶表示システム、205…表示パネル駆動回路、208…面順次信号変換回路、210、220…信号処理回路、211…1フレーム遅延回路、212…第1の係数回路、213…第2の係数回路、214…加算回路、221、223、225…第1の係数回路、222、224、226…第2の係数回路、227、228、229

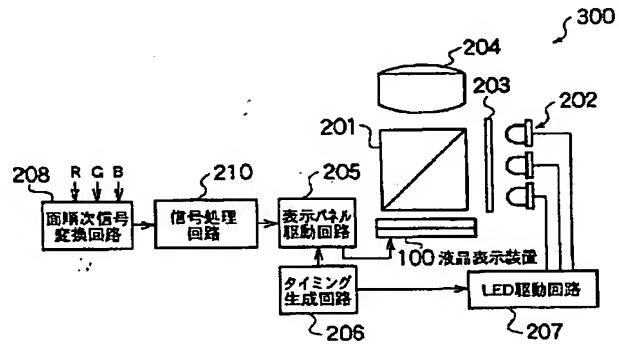
…加算回路、230…交流化回路、231…非反転アン

プ、232…反転アンプ、233…スイッチ回路

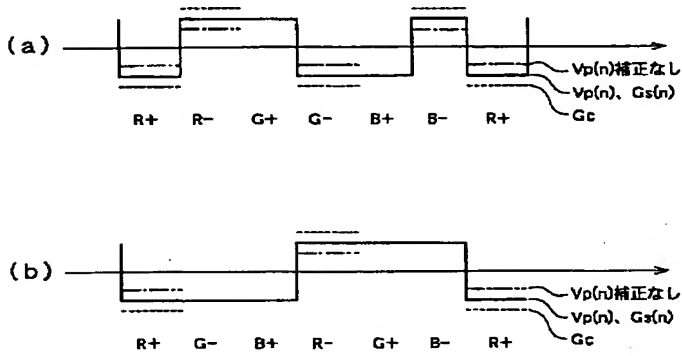
【図1】



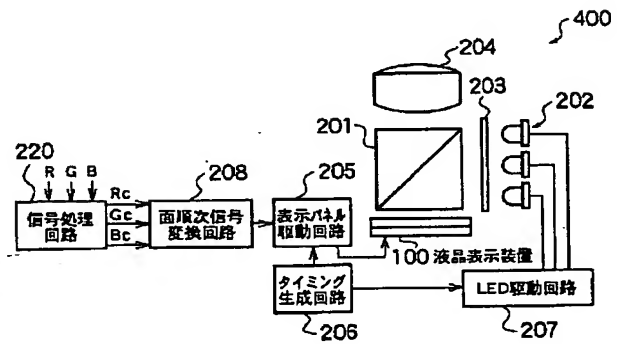
【図2】



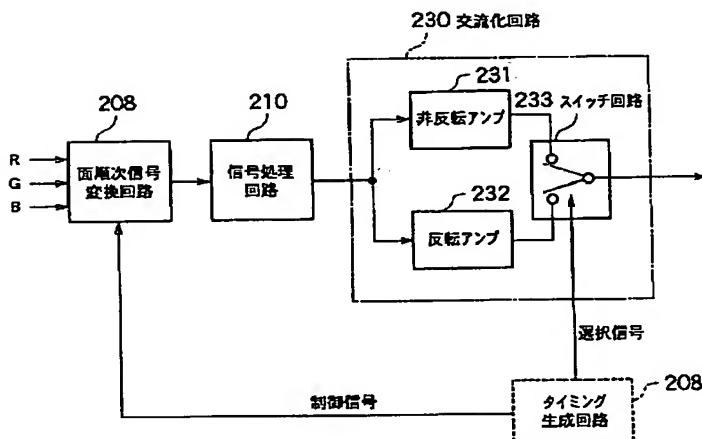
【図3】



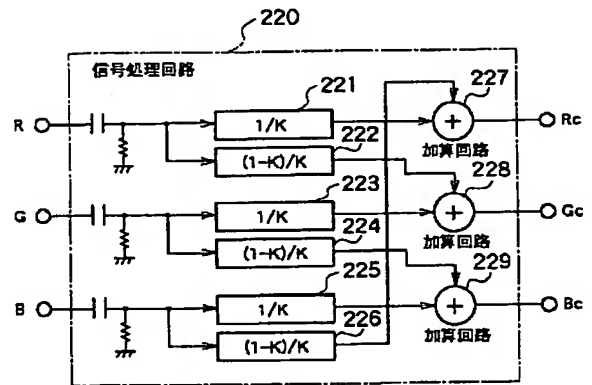
【図7】



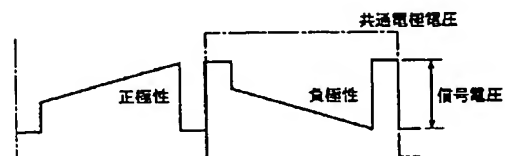
【図4】



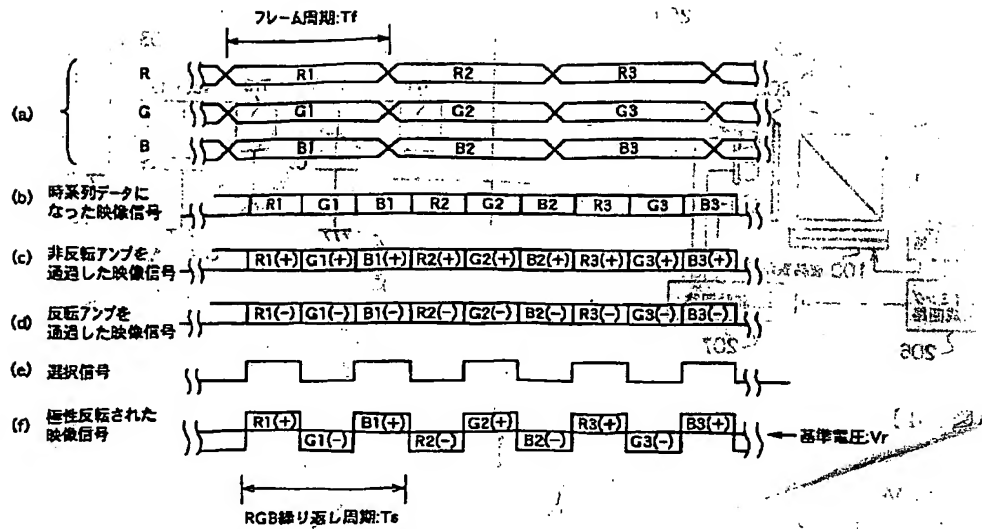
【図8】



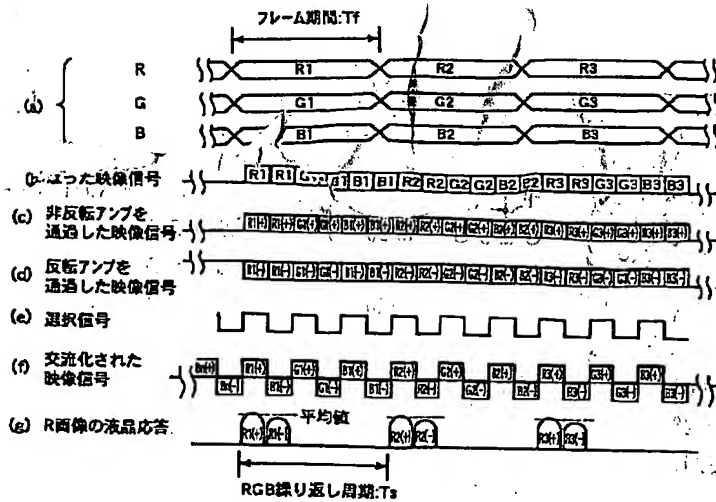
【図11】



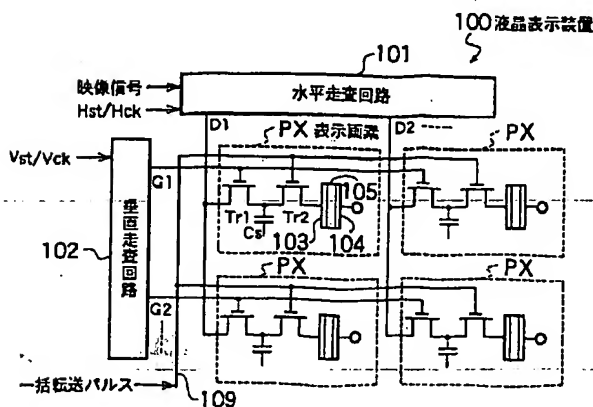
【図5】



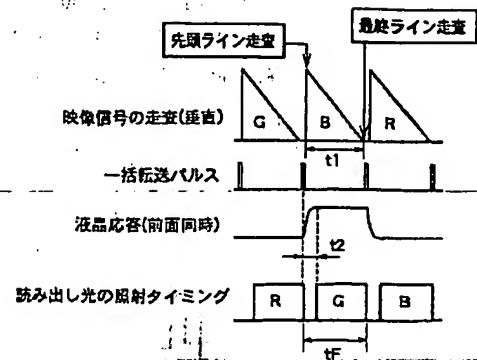
【図6】



【図9】



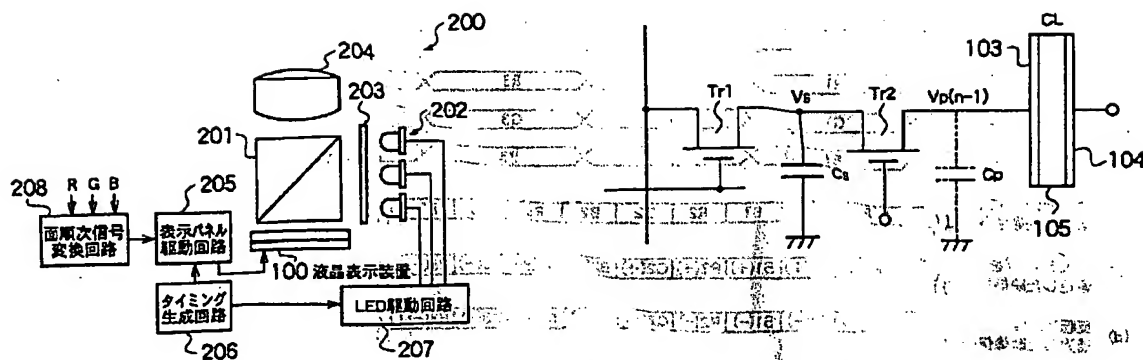
【図10】



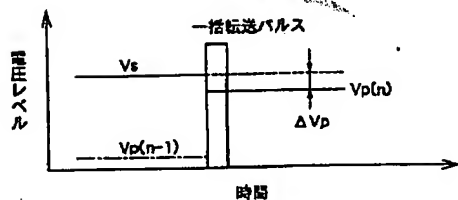


【図12】

【図13】



【図14】



フロントページの続き

(51) Int. Cl. 7

G09G 3/20

識別記号

642

680

3/34

G09G 3/20

642

680A

3/34

Fターム (参考) 2H093 NA16 NA33 NA34 NA43 NC03

NC16 NC21 NC22 NC24 NC28

NC34 ND10 ND15 ND34 ND47

ND49 NG02 NG20

5C006 AA01 AA02 AA22 AC02 AC11

AC21 AC28 AF03 AF04 AF11

AF23 AF44 AF85 BB16 BC16

BF02 EA01 EC13 FA00

5C080 AA10 BB05 CC03 DD10 EE29

EE30 FF11 GG02 GG08 GG09

GG12 JJ02 JJ04 JJ06

